

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

**HETERO-EPITAXIAL GROWTH METHOD**

Patent Number: JP6177046  
Publication date: 1994-06-24  
Inventor(s): OKUBO SATOSHI; others: 03  
Applicant(s): FUJITSU LTD  
Requested Patent: JP6177046  
Application Number: JP19930083913 19930319  
Priority Number(s):  
IPC Classification: H01L21/205  
EC Classification:  
Equivalents:

**Abstract**

**PURPOSE:** To reduce a surface pit of a compound semiconductor hetero-epitaxial layer, upgrade the evenness of the layer and reduce carrier concentration in terms of a hetero-epitaxial layer growth method for GaAs or the like on a silicon substrate.

**CONSTITUTION:** A natural oxide film on a silicon substrate is removed and a compound semiconductor low temperature growth layer 2 required to generate a growth core is formed thereon. Then, a first compound semiconductor epitaxial layer 3 is formed at a temperature of 600 deg.C or higher but less than 700 deg.C. A second compound semiconductor epitaxial layer 4, which minimizes the number of pits is formed thereon at a temperature of 700 deg.C or higher where a third compound semiconductor epitaxial layer 5 whose carrier concentration is low, is formed at a temperature lower than 700 deg.C. V/III ratio, annealing temperature, annealing atmosphere and raw material gas of Ga or the like are optimized during the formation of each compound semiconductor epitaxial layer, which makes it possible to reduce the number of pits and enhance the evenness of the surface.

Data supplied from the esp@cenet database - 12

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-177046

(43)公開日 平成6年(1994)6月24日

(51)Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

FI

技術表示箇所

H 0 1 L 21/205

// H 0 1 L 21/20

9171-4M

審査請求 未請求 請求項の数22(全 21 頁)

(21)出願番号 特願平5-83913

(22)出願日 平成5年(1993)3月19日

(31)優先権主張番号 特願平4-168257

(32)優先日 平4(1992)6月4日

(33)優先権主張国 日本(JP)

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 大久保 聡

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 高木 敬光

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 高井 一章

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 柏谷 昭司 (外1名)

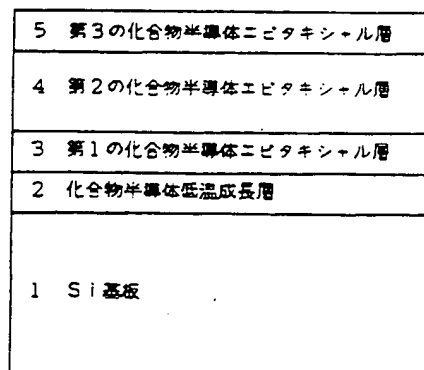
最終頁に続く

(54)【発明の名称】 ヘテロエピタキシャル成長方法

(57)【要約】

【目的】 Si基板の上にGaAs等の化合物半導体ヘテロエピタキシャル層を成長する方法に関し、この化合物半導体エピタキシャル層の表面のピットを低減し、平坦性を改善し、キャリア濃度を低減する。

【構成】 Si基板1の表面の自然酸化膜を除去し、その上に成長核を生成するための化合物半導体低温成長層2を形成し、その上に600℃以上700℃未満の温度で第1の化合物半導体エピタキシャル層3を形成し、その上に700℃以上の温度でピット数が少ない第2の化合物半導体エピタキシャル層4を形成し、その上に700℃未満の温度でキャリア濃度が低い第3の化合物半導体エピタキシャル層5を形成する。また、各化合物半導体エピタキシャル層を形成する際のV/III比、アニール温度、アニール雰囲気、Gaの原料ガス等を最適化することによってさらにピット数を少なくし、平坦性を改善することができる。

第1実施例によって成長した  
GaAsヘテロエピタキシャル層の構成説明図

## 【特許請求の範囲】

【請求項1】 I V族基板上に化合物半導体エピタキシャル層を形成するヘテロエピタキシャル成長方法において、I V族基板上に化合物半導体低温成長層を形成した後に昇温して第1の化合物半導体エピタキシャル層を形成し、次いでさらに昇温して第2の化合物半導体エピタキシャル層を形成し、次いで降温して第3の化合物半導体エピタキシャル層を形成することを特徴とするヘテロエピタキシャル成長方法。

【請求項2】 第1の化合物半導体エピタキシャル層を、600℃以上700℃未満で形成し、第2の化合物半導体エピタキシャル層を700℃以上で形成し、第3の化合物半導体エピタキシャル層を700℃未満で形成することを特徴とする請求項1に記載されたヘテロエピタキシャル成長方法。

【請求項3】 第1の化合物半導体エピタキシャル層を形成する場合のV/I I I比を、第2の化合物半導体エピタキシャル層を形成する場合のV/I I I比より低くすることを特徴とする請求項1または請求項2に記載されたヘテロエピタキシャル成長方法。

【請求項4】 第1の化合物半導体エピタキシャル層の成長中のV/I I I比および第2の化合物半導体エピタキシャル層を成長する場合のV/I I I比を、第3の化合物半導体エピタキシャル層を形成する場合のV/I I I比よりも低くすることを特徴とするヘテロエピタキシャル成長方法。

【請求項5】 第1の化合物半導体エピタキシャル層を形成する場合のV/I I I比および第2の化合物半導体エピタキシャル層を形成する場合のV/I I I比を20以下にすることを特徴とする請求項4に記載されたヘテロエピタキシャル成長方法。

【請求項6】 I V族基板上に化合物半導体エピタキシャル層を形成するヘテロエピタキシャル成長方法において、I V族基板上に化合物半導体低温成長層を形成した後に昇温して第1の化合物半導体エピタキシャル層を形成し、第1の化合物半導体エピタキシャル層を、反応管内圧力76 Torr、V族原料ガス分圧0.35 Torrの点Aと、反応管内圧力760 Torr、V族原料ガス分圧0.6 Torrの点Bと、反応管内圧力760 Torr、V族原料ガス分圧5.7 Torrの点Cと、反応管内圧力76 Torr、V族原料ガス分圧1.3 Torrの点Dとで囲まれる領域の条件でアニールして、第1の化合物半導体エピタキシャル層の結晶性および表面平坦性を改善することを特徴とするヘテロエピタキシャル成長方法。

【請求項7】 化合物半導体エピタキシャル層を成長する工程における反応管内圧力を110 Torr以下とすることを特徴とする請求項6に記載されたヘテロエピタキシャル成長方法。

【請求項8】 I V族基板上に化合物半導体エピタキ

シャル層を形成するヘテロエピタキシャル成長方法において、I V族基板上に化合物半導体低温成長層を成長し、その上に第1の化合物半導体エピタキシャル層をトリメチルガリウムを原料として化合物半導体低温成長層を成長する場合の温度よりも高温で成長し、その上に第1の化合物半導体エピタキシャル層を成長する場合の温度よりも高温で第2の化合物半導体エピタキシャル層を成長することを特徴とするヘテロエピタキシャル成長方法。

【請求項9】 化合物半導体低温成長層および第2の化合物半導体エピタキシャル層の成長をトリメチルガリウムを用いて行うことを特徴とする請求項8に記載されたヘテロエピタキシャル成長方法。

【請求項10】 第1の化合物半導体エピタキシャル層を成長する場合の温度を490～580℃とすることを特徴とする請求項8または請求項9に記載されたヘテロエピタキシャル成長方法。

【請求項11】 I V族基板上に化合物半導体エピタキシャル層を形成するヘテロエピタキシャル成長方法において、I V族基板上にまず化合物半導体低温成長層を成長し、次に化合物半導体エピタキシャル層を成長した後に化合物半導体エピタキシャル層に研磨を加えて平坦化し、次いで化合物半導体エピタキシャル層を成長する場合の温度よりも高い温度でアニールを行い、その上に、アニール温度よりも低い温度で化合物半導体エピタキシャル層を成長することを特徴とするヘテロエピタキシャル成長方法。

【請求項12】 化合物半導体エピタキシャル層を研磨した後のアニール温度を800℃以上にすることを特徴とする請求項11に記載されたヘテロエピタキシャル成長方法。

【請求項13】 化合物半導体エピタキシャル層を研磨した後のアニールをV族原料ガス雰囲気中で行うことを特徴とする請求項11または請求項12に記載されたヘテロエピタキシャル成長方法。

【請求項14】 (100) から {011} 方向へ傾斜したI V族基板上に化合物半導体エピタキシャル層を形成するヘテロエピタキシャル成長方法において、I V族基板の加熱による自然酸化膜の除去をV族原料含有雰囲気中で875℃以下で行い、I V族基板上に化合物半導体低温成長層を形成した後に昇温して化合物半導体エピタキシャル層を形成する工程を有し、さらに化合物半導体エピタキシャル層の成長中、あるいは、成長後のアニールをI V族基板の自然酸化膜を除去する工程以下の温度で行うことを特徴とするヘテロエピタキシャル成長方法。

【請求項15】 I V族基板上に化合物半導体エピタキシャル層を形成するヘテロエピタキシャル成長方法において、化合物半導体エピタキシャル層の成長を開始する前に反応管および反応管内の部品を酸素を含む雰囲気中でアニールすることを特徴とするヘテロエピタキシャル

## 成長方法。

【請求項16】 IV族基板がSi基板であることを特徴とする請求項1から請求項3まで、請求項6から請求項15までのいずれか1項に記載されたヘテロエピタキシャル成長方法。

【請求項17】 V族原料がV族ハイドライド系であることを特徴とする請求項6、請求項13、請求項14のいずれか1項に記載されたヘテロエピタキシャル成長方法。

【請求項18】 V族原料がV族ハライド系であることを特徴とする請求項6、請求項13および請求項14のいずれか1項に記載されたヘテロエピタキシャル成長方法。

【請求項19】 V族原料が有機物であることを特徴とする請求項6、請求項13および請求項14のいずれか1項に記載されたヘテロエピタキシャル成長方法。

【請求項20】 V族原料が固体砒素蒸気であることを特徴とする請求項6、請求項13および請求項14のいずれか1項に記載されたヘテロエピタキシャル成長方法。

【請求項21】 化合物半導体がGaAs, AlAs, InAs, GaP, AlP, InPおよびこれらの混晶であることを特徴とする請求項1から請求項15までのいずれか1項に記載されたヘテロエピタキシャル成長方法。

【請求項22】 化合物半導体エピタキシャル層の成長法として、MOCVD, MBEまたはこれらの類似の方法を用いることを特徴とする請求項1から請求項15までのいずれか1項に記載されたヘテロエピタキシャル成長方法。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、Si基板上にGaAs等の化合物半導体エピタキシャル層を成長する方法に関する。近年、衛星通信、移動通信技術等の高度化が進み、低雑音高周波増幅器としてGaAs等の化合物半導体を用いたHEMT等の半導体装置の需要が高まり、その生産性を向上するため大口径のGaAs基板の開発が要求されている。

【0002】しかし、GaAs等の化合物半導体は、機械的に脆弱であるため製造工程中に割れやすく、また、大口径の単結晶を製造することが困難である。そこで、機械的に強く、大口径の結晶を製造し易いSi基板の上に化合物半導体層を成長し、これを化合物半導体基板として用いる方法が開発されている。

【0003】

【従来の技術】従来から知られているSi基板上にGaAs等の化合物半導体エピタキシャル層を成長する方法においては、Si基板を加熱してSi基板の表面上に形成されている自然酸化膜を除去した後、400~450

℃の低温でアモルファス状の低温成長層（成長核形成層、成長初期層とも称されている）を形成し、625~750℃に昇温して、その温度で化合物半導体エピタキシャル層を成長する二段階成長法（二温度成長法とも称されている）が採用されている。

【0004】

【発明が解決しようとする課題】しかしながら、上記従来の二段階成長法によると、化合物半導体エピタキシャル層の表面に多数のビットが発生し、かつ、その表面の凹凸が大きいため表面平坦性が悪く、また、高温で成長を行うとビットは低減するが、キャリア濃度が上昇するという問題があった。本発明は、化合物半導体エピタキシャル層の表面のビットを低減し、平坦性を向上し、キャリア濃度を低減する、ヘテロエピタキシャル成長方法を提供することを目的とする。

【0005】

【課題を解決するための手段】本発明にかかるヘテロエピタキシャル成長方法においては、Si基板等のIV族基板上に化合物半導体エピタキシャル層を形成するヘテロエピタキシャル成長において、このIV族基板上に化合物半導体低温成長層を形成した後に昇温して第1の化合物半導体エピタキシャル層を形成し、次いでさらに昇温して第2の化合物半導体エピタキシャル層を形成し、次いで降温して第3の化合物半導体エピタキシャル層を形成する工程を採用した。

【0006】この場合、第1の化合物半導体エピタキシャル層を、600℃以上700℃未満で形成し、第2の化合物半導体エピタキシャル層を700℃以上で形成し、第3の化合物半導体エピタキシャル層を700℃未満で形成することができる。

【0007】またこの場合、第1の化合物半導体エピタキシャル層を形成する場合のV/III比を、第2の化合物半導体エピタキシャル層を形成する場合のV/III比より低くすることができる。

【0008】またこの場合、第1の化合物半導体エピタキシャル層の成長中のV/III比および第2の化合物半導体エピタキシャル層を成長する場合のV/III比を、第3の化合物半導体エピタキシャル層を形成する場合のV/III比よりも低く、例えば20以下にする工程を採用した。

【0009】また、Si基板等のIV族基板上に化合物半導体エピタキシャル層を形成するヘテロエピタキシャル成長方法において、このIV族基板上に化合物半導体低温成長層を形成した後に昇温して第1の化合物半導体エピタキシャル層を形成し、第1の化合物半導体エピタキシャル層を、反応管内圧力76 Torr、V族原料ガス分圧0.35 Torrの点Aと、反応管内圧力760 Torr、V族原料ガス分圧0.6 Torrの点Bと、反応管内圧力760 Torr、V族原料ガス分圧5.7 Torrの点Cと、反応管内圧力76 Torr、V族原

料ガス分圧1.3 Torrの点Dとで囲まれる領域の条件でアニールして、第1の化合物半導体エピタキシャル層の結晶性および表面平坦性を改善する工程を採用した。

【0010】また、Si基板等のIV族基板上に化合物半導体エピタキシャル層を形成するヘテロエピタキシャル成長方法において、このIV族基板上に化合物半導体低温成長層を成長し、その上に第1の化合物半導体エピタキシャル層をトリエチルガリウムを原料として化合物半導体低温成長層を成長する場合の温度よりも高温で成長し、その上に第1の化合物半導体エピタキシャル層を成長する場合の温度よりも高温で第2の化合物半導体エピタキシャル層を成長する工程を採用した。

【0011】また、Si基板等のIV族基板上に化合物半導体エピタキシャル層を形成するヘテロエピタキシャル成長方法において、このIV族基板上にまず化合物半導体低温成長層を成長し、次に化合物半導体エピタキシャル層を成長した後に化合物半導体エピタキシャル層に研磨を加えて平坦化し、次いで化合物半導体エピタキシャル層を成長する場合の温度よりも高い温度でアニールを行い、その上にアニール温度よりも低い温度で化合物半導体エピタキシャル層を成長する工程を採用した。

【0012】また、(100)から【011】方向へ傾斜したSi基板等のIV族基板上に化合物半導体エピタキシャル層を形成するヘテロエピタキシャル成長方法において、このIV族基板の加熱による自然酸化膜の除去をV族元素含有雰囲気中で875℃以下で行い、このIV族基板上に化合物半導体低温成長層を形成した後に昇温して化合物半導体エピタキシャル層を形成する工程を有し、さらに化合物半導体エピタキシャル層の成長中、あるいは成長後のアニールをSi基板の自然酸化膜を除去する工程以下の温度で行う工程を採用した。

【0013】また、Si基板等のIV族基板上に化合物半導体エピタキシャル層を形成するヘテロエピタキシャル成長方法において、化合物半導体エピタキシャル層の成長を開始する前に反応管および反応管内の部品を酸素を含む雰囲気中でアニールする工程を採用した。

【0014】

【作用】本発明のように、化合物半導体低温成長層の形成後に比較的低温で第1の化合物エピタキシャル層を形成すると、化合物半導体の成長核が集中して塊状に成長する、いわゆるコアレッセンスを抑制することができ、第1の化合物半導体エピタキシャル層の形成温度より高い温度で第2の化合物半導体エピタキシャル層を形成することによりピットを抑制し、平坦性を改善することが可能になる。

【0015】また、第2の化合物半導体エピタキシャル層を高温で形成するとキャリア濃度が上昇するが、その上に温度を下げて第3の化合物半導体エピタキシャル層を形成すると、この層のキャリア濃度を抑制することが

できる。

【0016】また、第1の化合物半導体エピタキシャル層を形成する場合のV/III比を、第2の化合物半導体エピタキシャル層を形成する場合のV/III比よりも低くすると、その原因は現在のところ解明されていないが、ピット数が減少する。

【0017】また、Si基板等のIV族基板上に化合物半導体低温成長層を形成した後に昇温して第1の化合物半導体エピタキシャル層を形成し、第1の化合物半導体エピタキシャル層を、反応管内圧力76 Torr、V族原料ガス分圧0.35 Torrの点Aと、反応管内圧力760 Torr、V族原料ガス分圧0.6 Torrの点Bと、反応管内圧力760 Torr、V族原料ガス分圧5.7 Torrの点Cと、反応管内圧力76 Torr、V族原料ガス分圧1.3 Torrの点Dとで囲まれる領域の条件でアニールすると、第1の化合物半導体エピタキシャル層の結晶性および表面平坦性を改善することができる。

【0018】また、Si基板等のIV族基板上に化合物半導体低温成長層を成長し、その上に第1の化合物半導体エピタキシャル層を、トリエチルガリウムを原料として化合物半導体低温成長層を成長する場合の温度よりも高温で成長すると、化合物半導体低温成長層の粗れを低減することができる。

【0019】また、Si基板等のIV族基板上に化合物半導体エピタキシャル層を形成するヘテロエピタキシャル成長方法において、このIV族基板の上にまず化合物低温成長層を成長し、続いて化合物半導体エピタキシャル層を成長した後に化合物半導体エピタキシャル層に研磨を加えて平坦化し、次いで化合物半導体エピタキシャル層を成長する温度よりも高い温度、例えば800℃以上でアニールを行い、その上にアニール温度よりも低い温度で化合物半導体エピタキシャル層を成長するとピット密度を低減することができる。

【0020】また、(100)から【011】方向へ傾斜したSi基板等のIV族基板上に化合物半導体エピタキシャル層を形成するヘテロエピタキシャル成長方法において、このIV族基板の加熱による自然酸化膜の除去をV族元素含有雰囲気中で875℃以下で行い、このIV族基板の上に化合物半導体低温成長層を形成後に昇温して化合物半導体エピタキシャル層形成する工程を有し、さらに化合物半導体結晶エピタキシャル層の成長中、あるいは成長後のアニールを、このIV族基板の自然酸化膜を除去する工程以下の温度で行うと、化合物半導体結晶エピタキシャル層の平坦性と結晶性を改善することができる。

【0021】また、化合物半導体層の成長を開始する前に反応管および反応管内の部品を酸素を含む雰囲気中でアニールすると、GaAs成分がチャンバー内壁に堆積し、成長層上に落下して汚染するのを防ぐことができ

る。

【0022】

【実施例】以下、本発明の実施例を説明する。

(第1実施例) 図1は、第1実施例によって成長したGaAsヘテロエピタキシャル層の構成説明図である。この図において、1はSi基板、2は化合物半導体低温成長層、3は第1の化合物半導体エピタキシャル層、4は第2の化合物半導体エピタキシャル層、5は第3の化合物半導体エピタキシャル層である。

【0023】第1実施例によって形成されたGaAsヘテロエピタキシャル層はこの図に示されているように、Si基板1の上に、GaAsからなる化合物半導体低温成長層2が形成され、その上にMOCVD (metal organic chemical vapor deposition) によってGaAsからなる第1の化合物半導体エピタキシャル層3、GaAsからなる第2の化合物半導体エピタキシャル層4、GaAsからなる第3の化合物半導体エピタキシャル層5が形成されている。この図に示されるGaAsヘテロエピタキシャル層は下記の成長方法によって形成される。

【0024】図2は、第1実施例のGaAsヘテロエピタキシャル成長方法の成長温度プロファイルである。この成長温度プロファイルを参照して、この実施例のGaAsヘテロエピタキシャル成長方法を説明する。

【0025】第1段階 (図2中のイ参照)

Si基板1を還元性雰囲気中で1000℃で約10分間熱処理して、自然酸化膜を除去する。

【0026】第2段階 (図2中のロ参照)

Si基板1の上に、350～500℃の温度で、5分間MOCVDすることによって成長核を形成する厚さ100ÅのGaAsからなる化合物半導体低温成長層2を成長する。

【0027】第3段階 (図2中のハ参照)

その上に、600℃以上700℃未満に昇温して約10分間MOCVDすることによって、厚さ0.5μmのGaAsからなる第1の化合物半導体エピタキシャル層3を成長する。この温度範囲において成長することによって、コアレッセンスを抑制して平坦性を改善することができる。

【0028】第4段階 (図2中のニ参照)

その上に、700℃以上に昇温して、約40分間MOCVDすることによって厚さ2.0μmのGaAsからなる第2の化合物半導体エピタキシャル層4を成長する。GaAsからなる第2の化合物半導体エピタキシャル層を700℃以上で形成すると、ビットを低減することができる。

【0029】第5段階 (図2中のホ参照)

その上に、700℃未満に降温して、約10分間MOCVDすることによって厚さ0.5μmのGaAsからなる第3の化合物半導体エピタキシャル層5を成長する。

【0030】図3は、従来と第1実施例の成長方法によるGaAsエピタキシャル層の表面の顕微鏡写真で

(A)は従来のMOCVDによって成長した場合の、

(B)は第1実施例成長方法によって成長した場合の表面を示している。これらの写真は、原子間力顕微鏡 (AFM) 写真である。図3 (A)は従来のMOCVDによって成長したGaAs層の表面を示し、20個のビットが観察される。また、図3 (B)は、本発明の成長方法によるGaAs層の表面を示し、僅かに4個のビットが観察されるだけである。

【0031】図4は、従来と第1実施例の成長方法によるGaAsエピタキシャル層の表面のビット数の比較図である。この図の横軸は、従来の二段階成長法 (成長温度650℃と700℃) と第1実施例による四段階成長法によって成長したGaAsエピタキシャル層を示し、縦軸はそれらの表面のビット数を示している。

【0032】この比較図に示されているように、従来の二段階成長法においては、成長温度が650℃の場合はビット数が最も多く、成長温度が700℃の場合は大きく減少し、本発明の四段階成長法によるとビット数が数分の1に減少していることが観察される。

【0033】図5は、従来と第1実施例の成長方法によるGaAsエピタキシャル層の表面の平坦性の比較図である。この図の横軸は、従来の二段階成長法 (成長温度650℃と700℃) と第1実施例による四段階成長法によって成長したGaAsエピタキシャル層を示し、縦軸はそれらの表面の平坦性を原子間力顕微鏡によって測定した凹凸の標準偏差値 (nm) を示している。当然のことながら、標準偏差値が小さいほど表面の凹凸は小さく、平坦性はよいことを示している。

【0034】この比較図に示されているように、従来の二段階成長法においては、成長温度が650℃の場合は平坦性が悪く、成長温度が700℃の場合はやや改善され、本発明の四段階成長法によると平坦性が顕著に改善されていることがわかる。

【0035】図6は、第1実施例の成長方法によるGaAsエピタキシャル層の成長温度とビット数の関係図である。この図の横軸は第3の化合物半導体エピタキシャル層であるGaAsエピタキシャル層の成長温度を示し、縦軸はビット数を示している。この関係図によると、最上層のGaAsエピタキシャル層の成長温度を低くするほどビット数が減少し、特に、700℃未満でビット数が減少することが観察される。

【0036】上記の実施例においては、GaAsエピタキシャル層を成長する場合について説明したが、例えば、GaAs、AlAs、InAs、GaP、AlP、InPおよびこれらの混晶等、他の化合物半導体ヘテロエピタキシャル層の成長においても上記と同様の効果を奏する。

【0037】(第2実施例) 上記の第1実施例の化合物

半導体のヘテロエピタキシャル成長方法においては、Si基板1上への、GaAsからなる化合物半導体低温成長層2、GaAsからなる第1の化合物半導体エピタキシャル層3、GaAsからなる第2の化合物半導体エピタキシャル層4、GaAsからなる第3の化合物半導体エピタキシャル層5は、すべて同じV/III比で成長した(図1、図2参照)。

【0038】第1実施例のヘテロエピタキシャル成長方法では、第1の化合物半導体エピタキシャル層3は、化合物半導体低温成長層2のコアレッセンスを抑制して表面粗れを低減することを目的として形成されるが、コアレッセンスの抑制が充分でないために表面粗れが残ることが分かった。また、第2の化合物半導体エピタキシャル層4はビットを低減するために成長する層であるが、ビットを大幅に低減するには至っていないことも分かった。

【0039】図7は、第2実施例のGaAsヘテロエピタキシャル成長方法の成長温度プロファイルである。この成長温度プロファイルを参照して、この実施例のGaAsヘテロエピタキシャル成長方法を説明する。なお、Si基板1、GaAsからなる化合物半導体低温成長層2、GaAsからなる第1の化合物半導体エピタキシャル層3、GaAsからなる第2の化合物半導体エピタキシャル層4、GaAsからなる第3の化合物半導体エピタキシャル層5は図1を参照する。

【0040】第1段階(図7中のイ参照)

Si基板1を還元性雰囲気中で1000℃で約10分間加熱して表面に形成されている自然酸化膜を除去する。

【0041】第2段階(図7中のロ参照)

次いで、Si基板の温度を350～500℃に降温して、約5分間MOCVDすることによって成長核を形成する厚さ100ÅのGaAsからなる化合物半導体低温成長層2を成長する。

【0042】第3段階(図7中のハ参照)

次いで、基板温度を600℃以上700℃未満に昇温し、V/III比を1.3にして、約10分間MOCVDすることによって厚さ0.5μmのGaAsからなる第1の化合物半導体エピタキシャル層3を成長する。

【0043】第4段階(図7中のニ参照)

次いで、Si基板温度を700℃以上に昇温してV/III比を1.3に維持して約40分間MOCVDすることによって厚さ2.0μmの第2のGaAsからなる第2の化合物半導体エピタキシャル層4を成長する。

【0044】第5段階(図7中のホ参照)

最後にSi基板温度を700℃未満に降温し、V/III比を2.7にして約10分間MOCVDすることによって、第3のGaAsからなる化合物半導体エピタキシャル層5を成長する。

【0045】図8は、従来と第2実施例の成長方法によるGaAsエピタキシャル層の状態の比較図で、(A)

は表面凹凸標準偏差、(B)はビット密度を示している。この図に示されているように、この実施例のヘテロエピタキシャル成長方法によると、GaAsからなる第1の化合物半導体エピタキシャル層を成長する際のV/III比を低くすることによって、GaAsからなる化合物半導体低温成長層2のコアレッセンスが有効に抑制されて、表面凹凸標準偏差は従来の二段階成長法に比較して、3.1nmから2.7nmに低減している。また、GaAsからなる第2の化合物半導体エピタキシャル層4を成長する際のX/III比を低くすることによって、ビット密度は、従来の二段階成長法に比較して $5 \times 10^5 \text{ cm}^{-2}$ から $3 \times 10^5 \text{ cm}^{-2}$ に低減している。

【0046】この実施例の化合物半導体ヘテロエピタキシャル成長方法においては、Si基板上に化合物半導体低温成長層を形成し、その上に第1の化合物半導体エピタキシャル層を成長する際のV/III比および第2の化合物半導体エピタキシャル層を成長する際のV/III比を、第3の化合物半導体エピタキシャル層を成長する際のV/III比よりも低い値、特に2.0以下にすることによって、表面粗れとビット密度を低減する効果を有している。

【0047】(第3実施例) この実施例の化合物半導体ヘテロエピタキシャル成長方法は、Si基板上に化合物半導体成長初期層を成長し、その上に成長した第1の化合物半導体エピタキシャル層を種々の条件によってアニールすることによって半導素子あるいは集積回路を形成する最上層の化合物半導体エピタキシャル層の表面を平坦化する条件を見出したものである。

【0048】Si基板上に化合物半導体成長初期層を堆積した後、化合物半導体エピタキシャル層を成長する際、或る範囲の反応管内圧力とV族原料ガス分圧の雰囲気中でその成長温度まで昇温すると、化合物半導体成長初期層の表面平坦性が改善されることは既に知られている。この実施例の化合物半導体ヘテロエピタキシャル成長方法においては、Si基板上に化合物半導体成長初期層を成長し、その上に成長した化合物半導体エピタキシャル層を所定の範囲の反応管内圧力とV族原料ガス分圧の雰囲気中でアニールすることによって、さらにその上に成長する化合物半導体エピタキシャル層の表面を平坦化することを特徴とする。

【0049】発明者らは、種々の実験によって、この化合物半導体成長初期層を成長した後にSi基板を昇温する際の平坦性を改善する雰囲気条件が、化合物半導体成長初期層の上に成長した化合物半導体エピタキシャル層をアニールする際にも有効であることを発見した。

【0050】図9は、第3実施例の化合物半導体ヘテロエピタキシャル成長方法のアニール条件の説明図である。この図の横軸はV族原料ガス分圧、縦軸は反応管内圧力を示している。この図の、反応管内圧力76 Torr、V族原料ガス分圧0.35 Torrの点Aと、反応



管内圧力760 Torr、V族原料ガス分圧0.6 Torrの点Bと、反応管内圧力760 Torr、V族原料ガス分圧5.7 Torrの点Cと、反応管内圧力760 Torr、V族原料ガス分圧1.3 Torrの点Dとで囲まれる領域の条件下でSi基板上に成長した化合物半導体成長初期層の上に成長した化合物半導体エピタキシャル層をアニールすると、さらにその上に形成する化合物半導体エピタキシャル層の表面平坦性が大きく改善され、半導体素子や集積回路を形成するのに適した化合物半導体エピタキシャル層が得られる。

【0051】ここで、この実施例の化合物半導体ヘテロエピタキシャル成長方法において、MOCVDによってSi基板の上にGaAsをエピタキシャル成長する実験例を説明する。

#### 【0052】〔第1の実験〕

##### 第1段階

反応管中にH<sub>2</sub>を12slm、AsH<sub>3</sub>を34sccm導入し、反応管内圧力を760 Torrとし、Si基板を1000℃で10分間加熱して自然酸化膜を除去した。以後の工程において、H<sub>2</sub>の流量は変わらない。反応管内圧力もアニール工程以外では変わらない。また、GaAsを成長する工程以外は反応管の内部に付着したGaAsが分解するのを防ぐためにAsH<sub>3</sub>を34sccm導入した。

##### 【0053】第2段階

Si基板の温度を400℃程度に降温し、AsH<sub>3</sub>を266sccm、トリメチルガリウム(trimethyl gallium TMG)を18sccm導入してGaAs低温成長層を10nm程度堆積させた。

##### 【0054】第3段階

次に、Si基板を升温し、この上に650℃でAsH<sub>3</sub>を67sccm、TMGを2.5sccm導入して厚さ0.5μmの第1のGaAsエピタキシャル層を成長した。

##### 【0055】第4段階

第1のGaAsエピタキシャル層の成長を中断し、Si基板を900℃まで升温し15分間アニールを行った。この際、反応管内圧力を760 Torrとし、AsH<sub>3</sub>分圧を0.1~1.6 Torrの範囲で変化させた。この反応管内圧力とAsH<sub>3</sub>分圧の範囲は、図9において直線A-Dで示されている。

##### 【0056】第5段階

このあと、Si基板を再び降温し、650℃でAsH<sub>3</sub>を67sccm、TMGを2.5sccm導入して厚さ2.5μmの上層の第2のGaAsエピタキシャル層を成長した。

【0057】図10は、アルシン分圧とGaAsエピタキシャル層の表面平坦性の関係図(1)である。この図の横軸はアルシン分圧、縦軸は第2のGaAsエピタキシャル層の表面凹凸標準偏差を示している。そしてこの

表面凹凸標準偏差は、GaAsエピタキシャル層の表面を原子間力顕微鏡で観察して定量化しており、この数値が小さいほど表面は平坦である。

【0058】Si基板上に成長したGaAs低温成長層の上に成長した第1のGaAsエピタキシャル層をアニールしなかった場合の、最上層の第2のGaAsエピタキシャル層を観察すると、この図に示されているように、RMSは4.0nmであった。RMSが4.0nm以下となり、アニールによる表面平坦性の改善がみられるのは、AsH<sub>3</sub>分圧が0.35~1.3 Torrの条件であることがわかる。

#### 【0059】〔第2の実験〕

##### 第1段階

反応管中にH<sub>2</sub>を12slm、AsH<sub>3</sub>を34sccm導入し、反応管内圧力を760 Torrとし、Si基板を1000℃で10分間加熱して自然酸化膜を除去した。以後の工程において、H<sub>2</sub>の流量は変わらない。反応管内圧力もアニール工程以外では変わらない。また、GaAsを成長する工程以外は反応管の内部に付着したGaAsが分解するのを防ぐためにAsH<sub>3</sub>を34sccm導入した。

##### 【0060】第2段階

Si基板の温度を400℃程度に降温し、AsH<sub>3</sub>を266sccm、TMGを18sccm導入してGaAs低温成長層を10nm程度堆積させた。

##### 【0061】第3段階

次に、Si基板を升温し、この上に650℃でAsH<sub>3</sub>を67sccm、TMGを2.5sccm導入して厚さ0.5μmの第1のGaAsエピタキシャル層を成長した。

##### 【0062】第4段階

第1のGaAsエピタキシャル層の成長を中断し、Si基板を900℃まで升温し15分間アニールを行った。この際、反応管内圧力を760 Torrとし、AsH<sub>3</sub>分圧を0~10 Torrの範囲で変化させた。この反応管内圧力とAsH<sub>3</sub>分圧の範囲は、図9において直線B-Cで示されている。

##### 【0063】第5段階

このあと、Si基板を再び降温し、650℃でAsH<sub>3</sub>を67sccm、TMGを2.5sccm導入して厚さ2.5μmの上層の第2のGaAsエピタキシャル層を成長した。

【0064】図11は、アルシン分圧とGaAsエピタキシャル層の表面平坦性の関係図(2)である。この図の横軸はアルシン分圧、縦軸はGaAsエピタキシャル層の表面凹凸標準偏差を示している。RMSが4.0nm以下となり、アニールによる表面平坦性の改善がみられるのは、AsH<sub>3</sub>分圧が0.6~5.7 Torrの条件であることがわかる。

#### 【0065】〔第3の実験〕

## 第1段階

反応管中に $H_2$ を12slm、 $AsH_3$ を34sccm導入し、反応管内圧力を76Torrとし、Si基板を1000℃で10分間加熱して自然酸化膜を除去した。以後の工程において、 $H_2$ の流量は変わらない。反応管内圧力もアニール工程以外では変わらない。また、GaAsを成長する工程以外は反応管の内部に付着したGaAsが分解するのを防ぐために $AsH_3$ を34sccm導入した。

## 【0066】第2段階

Si基板の温度を400℃程度に降温し、 $AsH_3$ を266sccm、TMGを18sccm導入してGaAs低温成長層を10nm程度堆積させた。

## 【0067】第3段階

次に、Si基板を升温し、この上に650℃で $AsH_3$ を67sccm、TMGを2.5sccm導入して厚さ0.5μmの第1のGaAsエピタキシャル層を成長した。

## 【0068】第4段階

第1のGaAsエピタキシャル層の成長を中断し、Si基板を900℃まで升温し15分間アニールを行った。この際、 $AsH_3$ 流量を34sccmとし、反応管内圧力を50~760Torrの範囲で変化した。このとき、 $AsH_3$ 分圧は0.14~2.1Torrの範囲であった。

## 【0069】第5段階

このあと、Si基板を再び降温し、650℃で $AsH_3$ を67sccm、TMGを2.5sccm導入して厚さ2.5μmの上層の第2のGaAsエピタキシャル層を成長した。

【0070】図12は、反応管内圧力とGaAsエピタキシャル層の表面平坦性の関係図である。この図の横軸は反応管内圧力、縦軸はGaAsエピタキシャル層の表面凹凸標準偏差を示している。RMSが4.0nm以下となり、アニールによる表面平坦化の改善がみられるのは、反応管内圧力が220Torr以上の条件、 $AsH_3$ 分圧が0.62以上の条件であることがわかる。これは図9の領域ABCDに含まれる。

【0071】上記の実施例においては、GaAs低温成長層、第1のGaAsエピタキシャル層、上層の第2のGaAsエピタキシャル層を成長する際の管内圧力を76Torrとしたが、110Torr以下であれば上記と同様の平坦な表面を有する上層の第2のGaAsエピタキシャル層を得ることができた。この実施例においては、化合物半導体としてGaAs、AlAs、InAs、GaP、AlP、InPまたはこれらの混晶を用いることができる。

【0072】(第4実施例) 前記のように従来から、Si基板の上に400~500℃程度の低温で化合物半導体低温成長層を成長し、その上に600~750℃程度

の高温で所望の化合物半導体エピタキシャル層を成長する2段階成長法、または、この化合物半導体低温成長層の上にそれよりやや高い温度でバッファ層となる化合物半導体層を成長し、その上にさらに高い温度で所望の化合物半導体エピタキシャル層を成長する3段階成長法が知られている。

【0073】ところが、前記の2段階成長法においては、化合物半導体低温成長層を成長した後に所望の化合物半導体エピタキシャル成長層の成長温度まで升温する際、化合物半導体低温成長層の表面が荒れ、その上に成長するエピタキシャル成長層の表面の平坦性が悪くなるという問題があった。

【0074】このように低温成長層の表面が荒れる前に、通常の所望のエピタキシャル成長層の成長温度よりも低温でバッファ層を成長する3段階成長法を用いることによってある程度の改善がみられる。しかし、この際、Ga原料としてトリメチルガリウム(TMG)を用いると、TMGの分解温度が高いため、化合物半導体低温成長層の上に成長するバッファ層の成長温度を十分に低温化することができない。

【0075】この実施例のヘテロエピタキシャル成長方法は、Gaの原料として、前記のトリメチルガリウム(TMG)より分解温度が低く、低温で成長することができるトリエチルガリウム(TEG)を用いて化合物半導体低温成長層の上に化合物半導体のバッファ層を成長する点を特徴とする。

【0076】Ga原料としてTMGを用いる場合より低温でバッファ層を成長することにより、化合物半導体低温成長層を成長した後に目的とする化合物半導体エピタキシャル成長層を成長する温度まで升温する際に生じていた低温成長層の表面の荒れを防ぐことができ、この上に成長する目的とする化合物半導体エピタキシャル層の表面の平坦性を改善することができる。また、バッファ層を成長する際のGaの原料として成長速度の遅いトリエチルガリウム(TEG)を用い、化合物半導体低温成長層や目的とする化合物半導体エピタキシャル層等の他の層を成長する際には、成長速度の速いトリメチルガリウム(TMG)を用いることによって工程全体が長時間化するのを防ぐことができる。

【0077】この実施例においては、MOCVDによってSi基板上にGaAsエピタキシャル層を成長する工程を説明する。

## 【0078】第1段階

反応管中に $H_2$ を12slm、 $AsH_3$ を34sccmの流量で導入し、反応管内圧力を76Torrとし、Si基板を1000℃に加熱して10分間維持して自然酸化膜を除去する。以後の工程において、 $H_2$ の流量は変わらず、反応管内圧力はアニール工程以外では変わらない。また、成長以外のときは反応管の内部に付着したGaAsが分解するのを防ぐため、 $AsH_3$ を34scc

m導入する。

【0079】第2段階

Si基板の温度を400℃程度に降温し、AsH<sub>3</sub>を266sccm、TMGを18sccm導入してGaAs低温成長層を10nm程度成長する。

【0080】第3段階

次に、Si基板を升温し、次の条件でバッファ層を成長する。

AsH <sub>3</sub> 流量	67sccm
TMG流量	2.5sccm
TEG流量	2.6sccm
バッファ層の成長温度(℃)およびGa原料	
450℃	TEG
500℃	TEG
520℃	TEG
550℃	TMG, TEG
570℃	TMG, TEG
600℃	TMG
650℃	TMG, TEG
膜圧	5000A

【0081】第4段階

Si基板の温度を650℃に升温し、反応管内にAsH<sub>3</sub>を67sccm、TMGを2.5sccmの流量で導入して厚さ2.5μmのGaAsエピタキシャル層を成長する。

【0082】図13は、第4実施例のGaAsエピタキシャル層の平坦性とバッファ層成長温度関係図で、

(A)はビット密度、(B)は平坦性を示している。この図13(A)、(B)にみられるように、Ga原料としてTMGを用いた場合は、570℃以下でバッファ層を成長すると、急激に低温成長層表面のビット密度と平坦性の劣化する。しかし、Ga原料としてTEGを用いた場合は、570℃以下でバッファ層を成長しても500℃程度まではバッファ層の表面のビット密度と平坦性の劣化は生じない。

【0083】このように、GaAs低温成長層の表面荒れを抑制することによってより表面が平坦なGaAsエピタキシャル層が得られた。これらの実験結果から、成長温度は490℃から580℃程度が適当であることがわかる。この実施例における化合物半導体は、GaAs、AlAs、InAs、GaP、AlP、InPおよびこれらの混晶等とすることができる。

【0084】(第5実施例) 従来から、Si基板等のIV族基板上にGaAs等の化合物半導体エピタキシャル層を形成する場合、IV族基板上にまず化合物半導体低温成長層を成長し、続いて成長した化合物半導体エピタキシャル層の表面の凹凸を研磨して平坦化した後に化合物半導体エピタキシャル層を成長して、この化合物半導体エピタキシャル層の表面を平坦化することが試みられていた。ところが、この方法によって表面の凹凸の少な

い化合物半導体エピタキシャル層を得ることができる。が、この化合物半導体エピタキシャル層の表面上にビットが多く発生するという問題が生じる。これはビットの発生原因である積層欠陥を、研磨によって無くすることができないためである。

【0085】この実施例のヘテロエピタキシャル成長方法は、Si基板等のIV族基板上に化合物半導体低温成長層を成長し、続いて成長した化合物半導体エピタキシャル層の表面の凹凸を研磨して平坦化した後に、後に成長する化合物半導体エピタキシャル層を成長する温度よりも高い温度でアニールして積層欠陥を低減し、それによって化合物半導体エピタキシャル層の表面のビットを低減し、結晶性を改善することを特徴とする。この実施例のヘテロエピタキシャル成長方法によって、Si基板の上にGaAs層を成長する工程を説明する。

【0086】図14は、第5実施例のヘテロエピタキシャル成長方法の工程説明図で、(A)～(C)は各工程を示している。この図において、11はSi基板、12はGaAs低温成長層、13はGaAsエピタキシャル層、14もGaAsエピタキシャル層である。この工程説明図によってこの実施例のヘテロエピタキシャル成長方法を説明する。

【0087】第1段階(図14(A)参照)

Si基板11の上にMOCVD等の成長方法によって、厚さ100ÅのGaAs低温成長層12を成長し、続いて厚さ3μmのGaAsエピタキシャル層13を成長する。

【0088】第2段階(図14(B)参照)

GaAsエピタキシャル層13の凹凸を有する表面を約1μm研磨して厚さ2μmの平坦なGaAsエピタキシャル層13を残す。

【0089】第3段階(図14(C)参照)

平坦化したGaAsエピタキシャル層13の上に、650℃で再度GaAsを成長してGaAsエピタキシャル層14を形成する。

【0090】図15は、第5実施例のヘテロエピタキシャル成長方法によって成長したGaAs層表面の原子間力顕微鏡写真であり、(A)は従来の成長方法で成長した場合、(B)はこの実施例の成長方法で成長した場合を示している。図15(A)は、Si基板11の上にMOCVD等の成長方法によって、厚さ100ÅのGaAs低温成長層12を成長し、続いて厚さ3μmのGaAsエピタキシャル層13を成長し、その表面を約1μm研磨して平坦化した後に650℃でGaAsエピタキシャル層を成長した場合の表面を示しているが、表面上には多くのビットが存在していることがわかる。

【0091】図15(B)は、Si基板11の上にMOCVD等の成長方法によって、厚さ100ÅのGaAs低温成長層12を成長し、続いて厚さ3μmのGaAsエピタキシャル層13を成長し、その表面を約1μm研

磨して平坦化した後に650℃でアニールを施し、その後650℃でGaAsエピタキシャル層を成長した場合の表面を示しているが、アニールを加えることによってピットが消失していることがわかる。

【0092】また、この実施例のヘテロエピタキシャル成長方法によるGaAs層のX線回折半値幅は170secであり、従来法(X線回折半値幅220sec)に比べて結晶性が向上していることがわかった。この実施例のヘテロエピタキシャル成長方法によると、前記のGaAsの他に化合物半導体一般についても同様の効果を生じることがわかった。また、このGaAsエピタキシャル層13を研磨した後のアニール温度は、800℃以上であると上記と同様の効果を生じることがわかった。また、化合物半導体エピタキシャル層13を研磨した後のアニールを、V族原料ガス雰囲気中で行うと、蒸気圧の高いV族元素の蒸発を防ぐことができる。上記V族原料ガスとしては、V族のハイドライド系ガス、ハライド系ガスを用いることができ、また、有機物や固体砒素蒸気を用いることができる。

【0093】(第6実施例) 従来、Si基板上にMOCVDによってGaAs等の化合物半導体エピタキシャル層を成長する場合、(100) - [011] 2° off Si基板を用いて二段成長法によって成長していた。

【0094】図16は、従来のアニール工程を有するGaAsヘテロエピタキシャル成長方法の成長温度プロフィール(1)である。この方法においては、Si基板をAsH<sub>3</sub> 雰囲気中で通常1000℃程度で10分間ブリベークし(イ)、400℃で厚さ100Åの成長核を形成するためのGaAs低温成長層を成長し(ロ)、最後に650℃で厚さ3.0μmの単結晶のGaAsエピタキシャル層を成長している(ハ)が、この成長方法で、Si基板上のGaAs低温成長層の上に成長したGaAsエピタキシャル層は、Si基板における[011]方向にストライプエッチした場合に逆メサになり、[01-1]方向にストライプエッチした場合に順メサになる位相を持っている。なお、上記の[01-1]の[-1]は通常は[1]の上にバーを付して表記する結晶方位を示している。

【0095】また、Si基板をNH<sub>4</sub>OH/H<sub>2</sub>O<sub>2</sub> 溶液で前処理した後、Si基板のブリベークを875℃以下のAsH<sub>3</sub> 雰囲気で行うことによって、Si基板における[01-1]方向にストライプエッチした場合に逆メサに、[011]方向にストライプエッチした場合に順メサになる位相をもつ単結晶のGaAsエピタキシャル層が得られる。そして、この結晶は、前記の通常のGaAs結晶に比較して結晶性や表面平坦性が良いことがわかっていてる。

【0096】この結晶方位の変化は、Si基板のブリベーク温度が1000℃の場合は、Si-Asの強いジंकブレンド結合ができるのに対して、875℃以下の場

合にはSi-Asの結合は無く、成長核形成時に第1層目がGa原子層に置き換えられことに起因すると考えられる。

【0097】また、875℃以下でブリベークした方が、GaAsの結晶性や表面平坦性において優れている原因は、Si-Ga結合が弱いボンドである上、第2層目のAs層との化学的ボンドが無いため、Si/GaAsの格子不整合が緩和されることにあると考えられる。また、一般に、GaAs結晶成長中、あるいは成長後にアニール工程を導入すると、GaAs結晶中の欠陥を抑制でき、表面平坦性を改善できることがわかっていてる。

【0098】図17は、従来のアニール工程を有するGaAsヘテロエピタキシャル成長方法の成長温度プロフィール(2)である。この方法においては、Si基板をAsH<sub>3</sub> 雰囲気中で1000℃で10分間ブリベークし(イ)、400℃で厚さ100Åの成長核を形成するためのGaAs低温成長層を成長し(ロ)、500℃で厚さ1.5μmの単結晶のGaAsエピタキシャル層を成長し(ハ)、900℃、10分間のアニールを行い(ニ)、再び、500℃で厚さ1.5μmの単結晶のGaAsエピタキシャル層を成長している。この単結晶GaAs層を成長する途中のアニールによって、欠陥を抑制し、表面の平坦性を改善することができる。

【0099】図18は、従来のアニール工程を有するGaAsヘテロエピタキシャル成長方法の成長温度プロフィール(3)である。この方法においては、Si基板をAsH<sub>3</sub> 雰囲気中で1000℃で10分間ブリベークし(イ)、400℃で厚さ100Åの成長核を形成するためのGaAs低温成長層を成長し(ロ)、500℃で厚さ1.5μmの単結晶GaAsエピタキシャル層を成長し(ハ)、900℃のアニールを3回繰り返すサーマルサイクルアニールを行い(ニ)、再び、500℃で厚さ1.5μmの単結晶のGaAsエピタキシャル層を成長している。この単結晶のGaAsエピタキシャル層を成長する途中のアニールによって、欠陥を抑制し、表面の平坦性をさらに改善することができる。

【0100】ところが、Si基板をNH<sub>4</sub>OH/H<sub>2</sub>O<sub>2</sub> 溶液で前処理した後、Si基板のブリベークを875℃以下のAsH<sub>3</sub> 雰囲気で行った場合、前記の従来の技術と同様の温度でアニールやサーマルサイクルアニールを行うと、GaAs結晶が多結晶化し、Si基板上に平坦性や結晶性のよいGaAs単結晶層を得ることができず、この単結晶層の上に半導体素子を形成する上で障害となる。この原因は、875℃以上でアニールを行うと極く初期に形成されるSi-Gaのボンドが切れ、Si-Asの強いジंकブレンド構造が形成されることに起因するものと考えられる。

【0101】この実施例は、(100) から [011] 方向に傾斜させたSi基板上における化合物半導体エピタキシャル層の成長において、Si基板の加熱による酸

化膜除去をV族元素ガス雰囲気中で875℃以下で行う工程を有し、さらに化合物半導体エピタキシャル層を成長する途中、あるいは成長後のアニールを、Si基板の自然酸化膜を除去する工程の温度以下で行い、Si基板上に、従来技術によって形成したものに比較して平坦性や結晶性が著しく改善されたGaAs層を得ることを特徴とする。

【0102】以下、Si基板上に化合物半導体層を成長する従来の方法とこの実施例の方法を対比して説明する。

①【従来のSi基板上への化合物半導体層の成長方法】

I

ブリベーク工程（成長温度プロファイルは図16参照）

(100) - [011] 2° off Si基板を用い、

管内圧力 76 Torr

温度 1000℃、10分間

H<sub>2</sub> 12 s l m

AsH<sub>3</sub> 0.05 s l m

【0103】成長核形成層形成工程

管内圧力 76 Torr

温度 400℃

H<sub>2</sub> 12 s l m

TMG (15℃) H<sub>2</sub> バブリングガス100 s c c m

AsH<sub>3</sub> 0.40 s l m

成長レート 25 Å/分

膜厚 100 Å

【0104】GaAs単結晶層形成工程

管内圧力 76 Torr

温度 650℃

H<sub>2</sub> 12 s l m

TMG (15℃) H<sub>2</sub> バブリングガス14 s c c m

AsH<sub>3</sub> 0.10 s l m

成長レート 710 Å/分

膜厚 3.0 μm

【0105】②【従来のSi基板上への化合物半導体層の成長方法】II

NH<sub>4</sub> OH/H<sub>2</sub> O<sub>2</sub> ウェット処理を施したSi基板を用いて、ブリベーク工程を875℃、60分間、0.05 s l mの条件で行う。これにより、GaAs on SiのGaAs結晶の位相が【従来のSi基板上への化合物半導体層の成長方法】Iのものと比べて90°ずれる。

\*

表面荒れの標準偏差 σ (nm)

従来①	②	③	④	⑤	⑥
3.90~4.10	3.30~3.50	3.40~3.60	3.20~3.40	10以上	10以上
本発明⑦	⑧				
2.50~2.70	2.30~2.50				

【0114】

\* 【0106】③【従来のSi基板上への化合物半導体層の成長方法】III

上記の【従来のSi基板上への化合物半導体層の成長方法】Iの工程において、GaAs層を1.5 μm成長した後、900℃のアニールを20分間行い、再びGaAs層を1.5 μm成長する（成長温度プロファイルは図17参照）。

【0107】④【従来のSi基板上への化合物半導体層の成長方法】IV

10 上記の【従来のSi基板上への化合物半導体層の成長方法】Iの工程において、GaAs層を1.5 μm成長した後、サーマルサイクルアニールを300-900℃×3回行い、再びGaAs層を1.5 μm成長する。（成長温度プロファイルは図18参照）

【0108】⑤【従来のSi基板上への化合物半導体層の成長方法】V

上記の【従来のSi基板上への化合物半導体層の成長方法】IIにおいて、GaAs層を1.5 μm成長した後、アニールを900℃20分間行い、再びGaAs層を1.5 μm成長する。

20

【0109】⑥【従来のSi基板上への化合物半導体層の成長方法】VI

上記の【従来のSi基板上への化合物半導体層の成長方法】IIの工程において、GaAs層を1.5 μm成長した後、300-900℃の温度を3回かけるサーマルサイクルアニールを行い、再びGaAs層を1.5 μm成長させる。

【0110】⑦【この実施例のSi基板上への化合物半導体層の成長方法】I

30 上記の【従来のSi基板上への化合物半導体層の成長方法】Vにおいて、アニール温度を875℃にする。

【0111】⑧【この実施例のSi基板上への化合物半導体層の成長方法】II

上記の【従来のSi基板上への化合物半導体層の成長方法】VIにおいて、サーマルサイクルアニールの上限温度を875℃にする。

【0112】上記の従来による成長法とこの実施例による成長法によって形成されたSi基板の上に形成されたGaAsエピタキシャル層の表面をAFM（原子間力顕微鏡）によって観察することによって得られた表面荒れの標準偏差とX線二結晶回折（400）ピーク半値幅を以下に示す。

【0113】

X線二結晶回折(400)ピーク半値幅(")

従来①	②	③	④	⑤	⑥
240 ~ 250	220 ~ 230	200 ~ 220	180 ~ 190	300以上	300以上
本発明⑦	⑧				
180 ~ 200	160 ~ 180				

【0115】以上の結果から、この実施例のヘテロエピタキシャル成長方法によりSi基板の上に形成したGaAs層の結晶性と平坦性がかなり改善されていることがわかる。これにより、Si基板の上に形成したGaAs層に形成されたHEMT, MESFETなどの諸特性や歩留りが向上する。

【0116】なお、この実施例のヘテロエピタキシャル成長方法において、Si基板を加熱して自然酸化膜をV族元素含有雰囲気中で875℃以下の温度で行う理由は、実験的に875℃以下のプリヒート温度によって初めて良質な結晶のシングルドメイン化ができることによる。また、GaAs単結晶層のアニール温度をこのプリヒート温度をより高くするとシングルドメインの状態が崩れ、GaAs単結晶層が白濁してしまうことも実験的にわかっている。

【0117】また、Si基板の前処理をHFで行ってもプリヒート温度を低温化することは可能であるが、SIMSデータによると、HF処理をしたSi基板の上に形成したGaAs層は欠陥が多く不安定な状態であった。これに比較して、この実施例のようにアンモニア・過酸化水素水によって処理した場合は長時間安定であった。この実施例においては、MOCVD、MBE法、またはこれらと類似の結晶成長法を採用することができる。

【0118】また、V族原料ガスとしてハイドライド系、ハライド系、有機物、および固体砒素蒸気を用いることができる。また、この実施例のヘテロエピタキシャル成長方法を、GaAs, AlAs, InAs, GaP, AlP, InP等のIII-V族化合物半導体、あるいはこれらの混晶に適用することができる。

【0119】(第7実施例) この実施例は、Si基板の上に成長したGaAs等の化合物半導体エピタキシャル層の汚染を低減し、このGaAsエピタキシャル成長層に形成する半導体素子の特性を向上する点を特徴とする。

【0120】図19は、化合物半導体層のMOCVD成長装置の構成説明図である。この図において、21はチャンバー、22はサセプター、23はSi基板、24はゲートバルブ、25はガス導入管、26は排気ポンプ、27は高周波コイル、28は搬送装置である。従来の化合物半導体層のMOCVD成長装置を用いてGaAsエピタキシャル層を成長する場合、石英製のチャンバー21のサセプター22の上にSi基板23をセットし、ガス導入管25からH<sub>2</sub>, AsH<sub>3</sub>, TMGを流量制御して導入し、排気ポンプ26によって排気し、高周波コイル27によってSi基板23を500~700℃の範囲

の所定の温度に昇温して、Si基板23の上にGaAs層を成長する。なお、ゲートバルブ24を開閉し、搬送装置28によってSi基板23を搬送するようになっている。

【0121】ところが、GaAs層を成長する過程でサセプターおよびチャンバー内壁のSi基板23の上部に堆積したGaAs成分が次のSi基板にGaAs層を成長する過程で蒸発して成長するGaAs層を汚染するという問題が生じた。そのため通常、GaAs層を成長する前に、水素雰囲気中で800~1000℃程度の温度で空焼きを行い、サセプター周辺部に堆積したGaAsを除去するなどの対策を講じている。

【0122】ところが、水素雰囲気中で空焼きを行ってもGaAs成分は十分に蒸発せず、GaAs層の成長を重ねるごとにGaAsの堆積物が大きくなってサセプターおよびチャンバー内壁のSi基板上部に残留し、最終的にはGaAs層を成長するSi基板上に落下してGaAs層を汚染し、その層に半導体素子を形成する上で大きな障害になることがわかった。この実施例のヘテロエピタキシャル成長方法は、前記の空焼きを、酸素を含む雰囲気、例えば、アルゴン-酸素雰囲気中で行うことを特徴とする。この実施例によると、サセプターおよびチャンバー内壁のSi基板上部の残留GaAs成分は酸化ガリウムとなって容易に蒸発し、GaAsエピタキシャル基板の汚染は著しく改善される。この実施例のヘテロエピタキシャル成長方法において、GaAs層を成長する場合を説明する。

【0123】図18に示されたMOCVD装置のサセプター22の上にSi基板23をセットしてGaAs層を成長する。GaAs層の成長条件は下記の通りである。

管内圧力	76 Torr
温度	650℃
H <sub>2</sub>	12 s l m
TMG (15℃)	14 s c c m
AsH <sub>3</sub>	0.10 s l m
成長レート	710 Å/min
膜厚	3.0 μm

【0124】従来のGaAs層を成長する場合は、一回GaAs層を成長するごとにアルゴンと水素の雰囲気中で1000℃に加熱して1時間程アニールしていた。ところが、この実施例では、水素の代わりにアルゴン-酸素雰囲気を用いてアニールした。

【0125】従来の方法とこの実施例のヘテロエピタキシャル成長方法を用いた場合の3インチGaAsエピタキシャル基板表面を光学顕微鏡で観察して得られたゴミ

の数は次のとおりであるが、Si基板周辺部からの汚染が減少したことがわかる。

従来のもの 200~300 (個/3インチ基板)

本発明のもの 30~40 (個/3インチ基板)

この実施例におけるGaAs層のエピタキシャル成長方法は、MOCVD装置あるいはMBE装置を用いて行うことができる。また、この実施例のエピタキシャル成長方法は、GaAs, AlAs, InAs, GaP, AlP, InPおよびこれらの混晶の層にも同様に適用することができる。

【0126】

【発明の効果】以上説明したように、本発明によると、ビットが少なく、かつ、表面平坦性がよく、キャリア濃度が低い化合物半導体ヘテロエピタキシャル層を表面に有する成長用基板を提供することができ、化合物半導体を用いた高速半導体装置の実用化に寄与するところが大きい。

【図面の簡単な説明】

【図1】第1実施例によって成長したGaAsヘテロエピタキシャル層の構成説明図である。

【図2】第1実施例のGaAsヘテロエピタキシャル成長方法の成長温度プロファイルである。

【図3】従来と第1実施例の成長方法によるGaAsエピタキシャル層の表面の顕微鏡写真で(A)は従来のMOCVDによって成長した場合の、(B)は第1実施例成長方法によって成長した場合の表面を示している。

【図4】従来と第1実施例の成長方法によるGaAsエピタキシャル層の表面のビット数の比較図である。

【図5】従来と第1実施例の成長方法によるGaAsエピタキシャル層の表面の平坦性の比較図である。

【図6】第1実施例の成長方法によるGaAsエピタキシャル層の成長温度とビット数の関係図である。

【図7】第2実施例のGaAsヘテロエピタキシャル成長方法の成長温度プロファイルである。

【図8】従来と第2実施例の成長方法によるGaAsエピタキシャル層の状態の比較図で、(A)は表面粗さ、(B)はビット密度を示している。

【図9】第3実施例の化合物半導体ヘテロエピタキシャル成長方法のアニール条件の説明図である。

【図10】第3実施例のアルシン分圧とGaAsエピタキシャル層の表面平坦性の関係図(1)である。

【図11】第3実施例のアルシン分圧とGaAsエピタキシャル層の表面平坦性の関係図(2)である。

【図12】反応管内圧力とGaAsエピタキシャル層の表面平坦性の関係図である。

【図13】第4実施例のGaAsエピタキシャル層の平坦性とバッファ層成長温度関係図で、(A)はビット密度、(B)は平坦性を示している。

【図14】第5実施例のヘテロエピタキシャル成長方法の工程説明図で、(A)~(C)は各工程を示している。

【図15】第5実施例のヘテロエピタキシャル成長方法によって成長したGaAs層表面の原子間力顕微鏡写真であり、(A)は従来の成長方法で成長した場合、(B)はこの実施例の成長方法で成長した場合を示している。

【図16】従来のアニール工程を有するGaAsヘテロエピタキシャル成長方法の成長温度プロファイル(1)である。

【図17】従来のアニール工程を有するGaAsヘテロエピタキシャル成長方法の成長温度プロファイル(2)である。

【図18】従来のアニール工程を有するGaAsヘテロエピタキシャル成長方法の成長温度プロファイル(3)である。

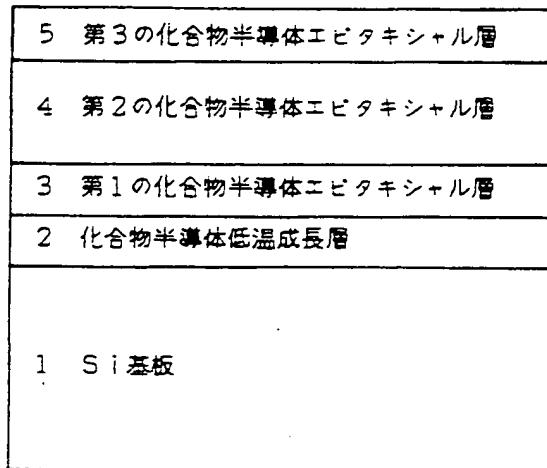
【図19】化合物半導体層のMOCVD成長装置の構成説明図である。

【符号の説明】

- 1 Si基板
- 2 化合物半導体低温成長層
- 3 第1の化合物半導体エピタキシャル層
- 4 第2の化合物半導体エピタキシャル層
- 5 第3の化合物半導体エピタキシャル層
- 11 Si基板
- 12 GaAs低温成長層
- 13 GaAsエピタキシャル層
- 14 GaAsエピタキシャル層
- 21 チャンバー
- 22 サセプター
- 23 Si基板
- 24 ゲートバルブ
- 25 ガス導入管
- 26 排気ポンプ
- 27 高周波コイル
- 28 搬送装置

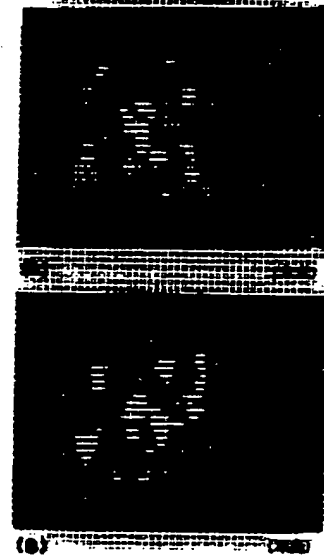
【図1】

第1実施例によって成長した  
GaAsヘテロエピタキシャル層の構成説明図



【図3】

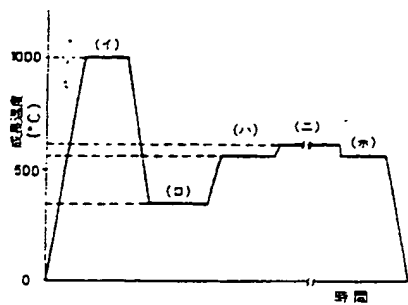
従来と第1実施例の成長方法による  
GaAsエピタキシャル層の表面の平坦性の比較図



カラー写真

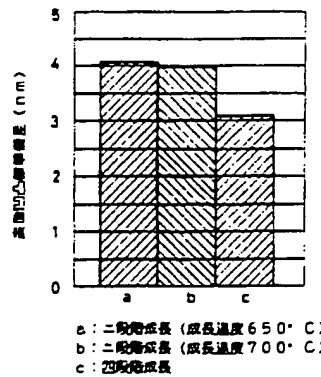
【図2】

第1実施例のGaAsヘテロエピタキシャル  
成長方法の成長温度プロフィール



【図5】

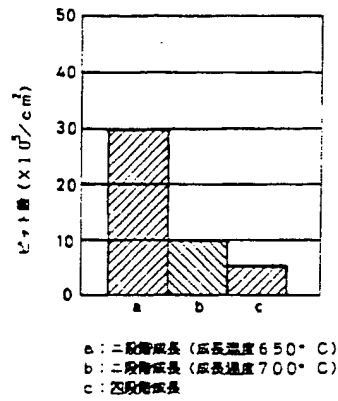
従来と第1実施例の成長方法による  
GaAsエピタキシャル層の  
表面の平坦性の比較図





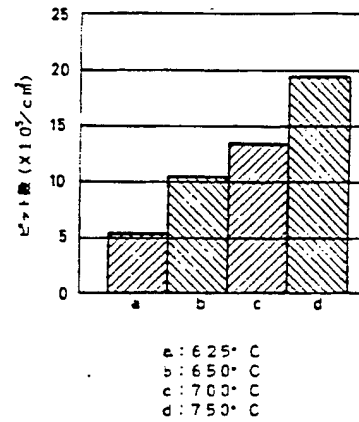
【図4】

従来と第1実施例の成長方法による  
GaAsエピタキシャル層の  
表面のビット数の比較図



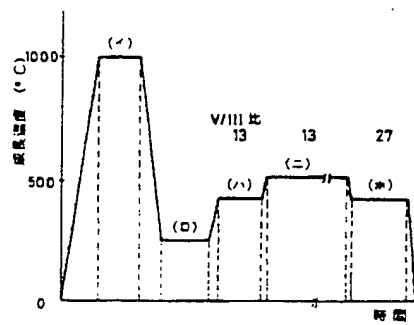
【図6】

第1実施例の成長方法による  
GaAsエピタキシャル層の  
成長温度とビット数の関係図



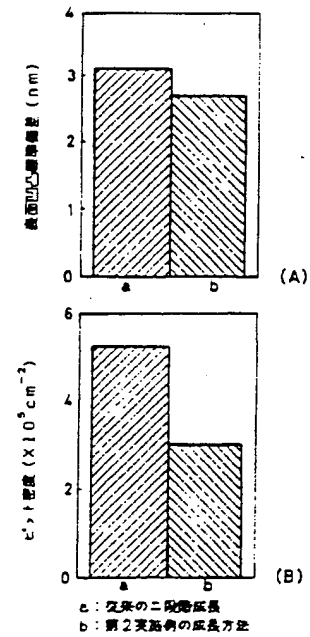
【図7】

第2実施例のGaAsヘテロエピタキシャル  
成長方法の成長温度プロフィール



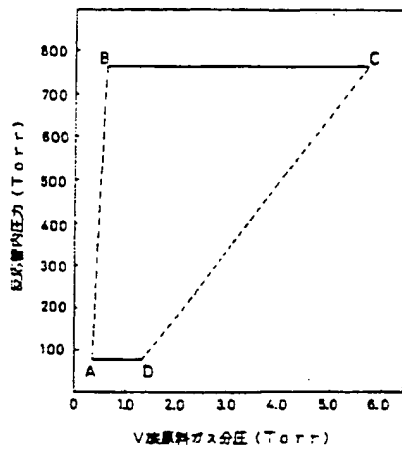
【図8】

従来と第2実施例の成長方法による  
GaAsエピタキシャル層の状態の比較図



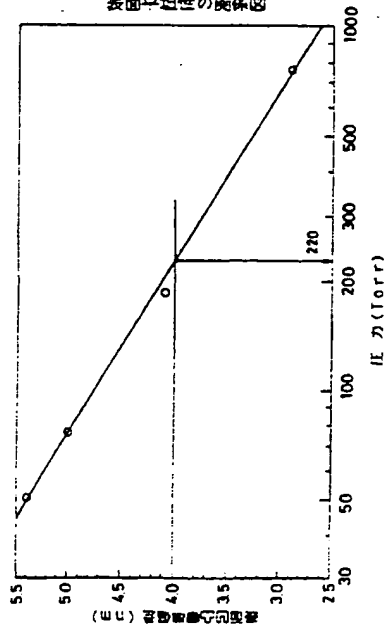
【図9】

第3実施例の化合物半導体  
ヘテロエピタキシャル成長方法の  
アニール条件の説明図



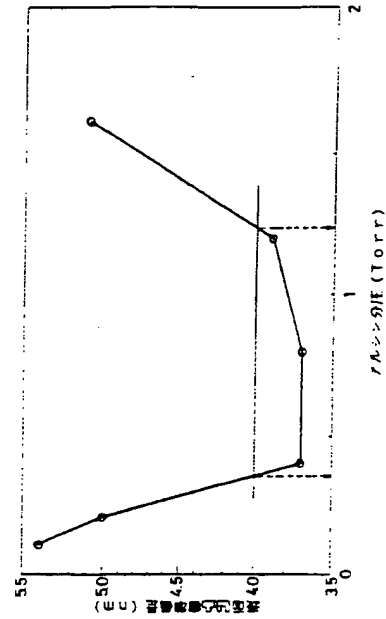
【図12】

反応管内圧力とGaAsエピタキシャル層の  
表面平坦性の関係図



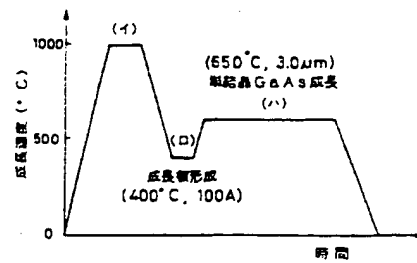
【図10】

第3実施例のアルシン分三と  
GaAsエピタキシャル層の  
表面平坦性の関係図 (1)



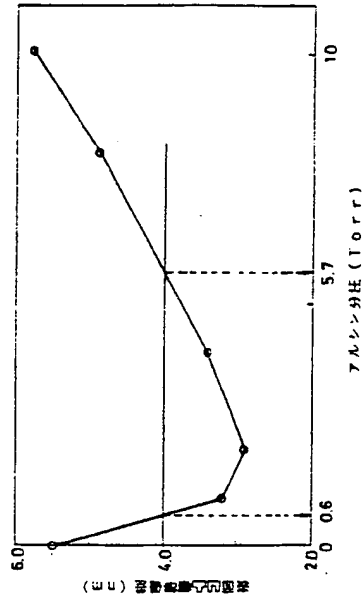
【図16】

従来のアニール工程を有する  
GaAsヘテロエピタキシャル  
成長方法の成長温度プロファイル (1)



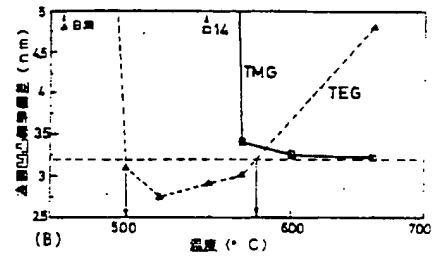
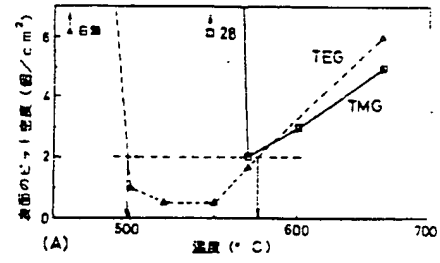
【図11】

第3実施例のアルシン分圧と  
GaAsニビタキシャル層の  
表面平坦性の関係図(2)



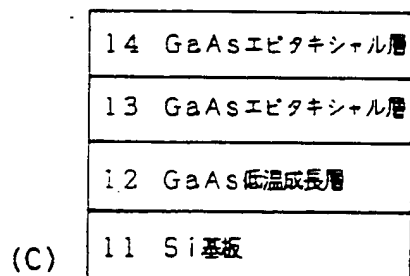
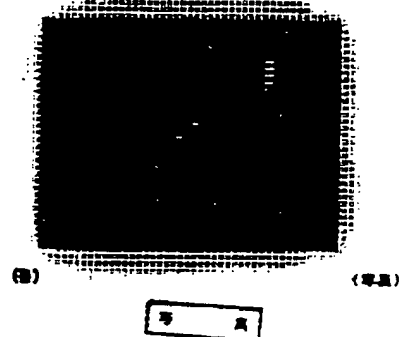
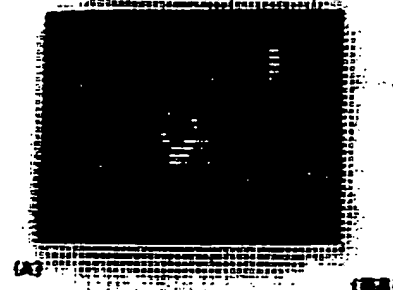
【図13】

第4実施例のGaAsニビタキシャル層の  
平坦性とバッファー層成長温度関係図



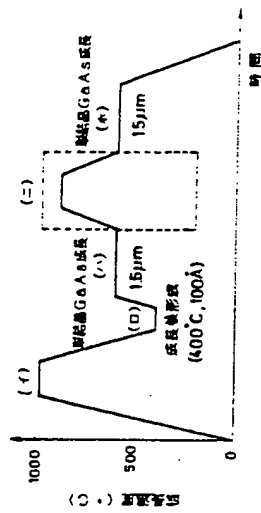
【図15】

總代理店東京  
 東京支店  
 大阪支店  
 名古屋支店  
 京都支店  
 神戶支店  
 横濱支店  
 仙台支店  
 札幌支店  
 旭川支店  
 釧路支店  
 網走支店  
 稚内支店  
 小樽支店  
 青森支店  
 岩手支店  
 秋田支店  
 山形支店  
 福島支店  
 茨城支店  
 栃木支店  
 群馬支店  
 埼玉支店  
 千葉支店  
 東京支店  
 神奈川支店  
 新潟支店  
 富山支店  
 石川支店  
 福井支店  
 山梨支店  
 長野支店  
 岐阜支店  
 愛知支店  
 三重支店  
 滋賀支店  
 京都支店  
 大阪支店  
 兵庫支店  
 奈良支店  
 和歌山支店  
 徳島支店  
 高松支店  
 香川支店  
 愛媛支店  
 高知支店  
 福岡支店  
 佐賀支店  
 大分支店  
 熊本支店  
 鹿儿岛支店  
 那覇支店



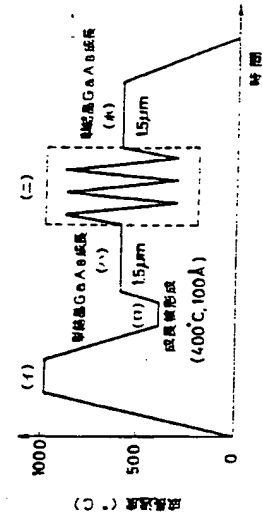
【図17】

従来のアニール工程を有する  
GaAsヘテロエピタキシャル  
成長方法の成長温度プロファイル(2)



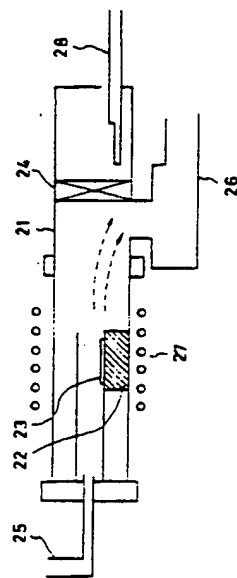
【図18】

従来のアニール工程を有する  
GaAsヘテロエピタキシャル  
成長方法の成長温度プロファイル(3)



【図19】

化合物半導体層のMOCVD成長装置の構成説明図



## 【手続補正書】

【提出日】平成5年7月14日

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】図3

【補正方法】変更

## 【補正内容】

【図3】従来と第1実施例の成長方法によるGaAsエピタキシャル層の表面の結晶構造の顕微鏡写真で、  
 (A)は従来のMOCVDによって成長した場合、  
 (B)はこの実施例の成長方法によって成長した場合の表面を示している。

## 【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】図15

【補正方法】変更

## 【補正内容】

【図15】第5実施例のヘテロエピタキシャル成長方法によって成長したGaAs層表面の結晶構造の原子間力顕微鏡写真であり、(A)は従来の成長方法で成長した場合、(B)はこの実施例の成長方法で成長した場合を示している。

## 【手続補正3】

【補正対象書類名】図面

【補正対象項目名】図3

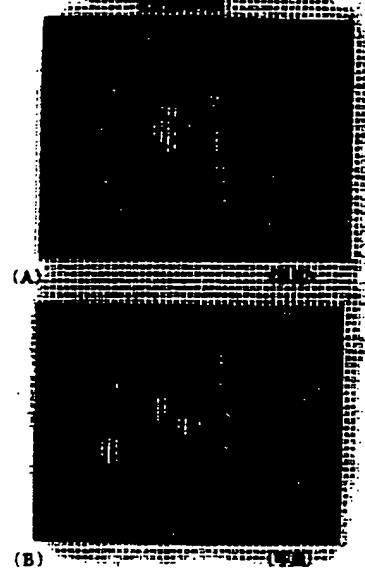
【補正方法】変更

\*

## \* 【補正内容】

【図3】

従来と第1実施例の成長方法による  
 GaAsエピタキシャル層の表面の結晶構造の顕微鏡写真



## 【手続補正書】

【提出日】平成5年7月15日

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0030

【補正方法】変更

## 【補正内容】

【0030】図3は、従来と第1実施例の成長方法によるGaAsエピタキシャル層の表面の結晶構造の顕微鏡写真で、(A)は従来のMOCVDによって成長した場合、(B)はこの実施例の成長方法によって成長した場合の表面を示している。これらの写真は、原子間力顕微鏡(AFM)写真である。図3(A)は従来のMOCVDによって成長したGaAs層の表面を示し、20個のビットが観察される。また、図3(B)は、この実施例の成長方法によるGaAs層の表面を示し、僅かに4個のビットが観察されるだけである。

## 【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0090

【補正方法】変更

## 【補正内容】

【0090】図15は、第5実施例の従来のヘテロエピタキシャル成長方法によって成長したGaAs層の表面の結晶構造の原子間力顕微鏡写真であり、(A)は従来の成長方法で成長した場合、(B)はこの実施例の成長方法で成長した場合を示している。図15(A)は、Si基板11の上にMOCVD等の成長方法によって、厚さ100ÅのGaAs低温成長層12を成長し、続いて厚さ3μmのGaAsエピタキシャル層13を成長し、その表面を約1μm研磨して平坦化した後に650℃でGaAsエピタキシャル層を成長した場合の表面を示しているが、表面上には多くのビットが存在していることがわかる。

フロントページの続き

(72)発明者 恵下 隆

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内